



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09199788 A**(43) Date of publication of application: **31.07.97**

(51) Int. Cl.

H01S 3/18(21) Application number: **08006827**(22) Date of filing: **18.01.96**(71) Applicant: **NEC CORP**(72) Inventor: **SUZUKI TAKAFUMI****(54) SEMICONDUCTOR LASER WITH BURIED HETERO-STRUCTURE, AND ITS MANUFACTURE**

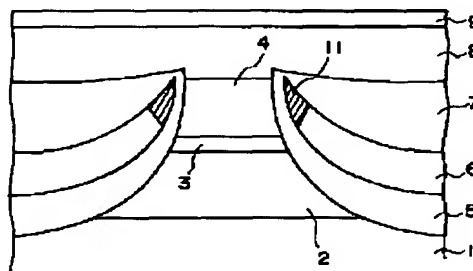
InGaAsP layer without etching, a semiconductor laser with a buried hetero-structure is formed.

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a highly efficient semiconductor laser with a buried hetero-structure, by separating enough its clad layers and current block layers from each other, and by forming its inversion layer not to corrode its active layer and clad layers.

SOLUTION: Making a p-type InP clad layers 2, an InGaAsP active layer 3, an n-type InP clad layer 4, a non-doped InGaAs layer for preventing Zn from diffusing and a p-type InGaAs layer for diffusing Zn grow in succession on a p-type InP substrate 1, a striped SiO₂ film is formed to form using this film as a mask a mesa by etching. Subsequently, on both the sides of the mesa, p-type InP buried layers 5, n-type InP current block layers 6 and p-type InP current block layers 7 are made to grow in a buried way. After forming the current block layers, the striped SiO₂ film is removed. Then, removing the p-type InP current block layers 7 and the p-type clad layer 4 by selective etching, and removing only the p-type InGaAsP layer and the non-doped



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-199788

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl.⁸
H01S 3/18

識別記号 庁内整理番号

F I
H01S 3/18

技術表示箇所

審査請求 有 請求項の数6 OL (全10頁)

(21) 出願番号 特願平8-6827

(22) 出願日 平成8年(1996)1月18日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 鈴木 尚文

東京都港区芝五丁目7番1号 日本電気株式会社内

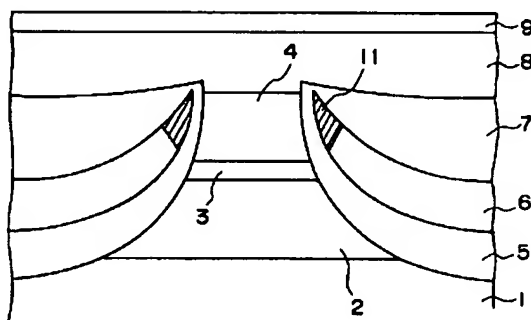
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 埋め込みヘテロ構造半導体レーザ及びその製造方法

(57) 【要約】 (修正有)

【課題】 クラッド層と電流ブロック層とを十分に分離し、また反転層が活性層やクラッド層を浸食しないように構成した高効率の埋め込みヘテロ構造半導体レーザを提供する。

【解決手段】 p型InP基板1上に、p型InPクラッド層2、InGaAsP活性層3、n型InPクラッド層4を、更にZn拡散防止用ノンドープInGaAs層、Zn拡散用p型InGaAs層を順次成長させ、次にストライプ状SiO₂膜10を形成し、これをマスクにしてエッチングでメサを形成する。次にその両側にp型InP埋め込み層5、n型InP電流ブロック層6、p型InP電流ブロック層7を埋め込み成長させる。電流ブロック層形成後、SiO₂膜を除去し、次に選択性エッチングでp型InP電流ブロック層7とp型クラッド層4をエッチングせずにp型InGaAsP層とノンドープInGaAsP層のみを除去して埋め込みヘテロ構造半導体レーザを形成する。



【特許請求の範囲】

【請求項1】 p型半導体基板上に形成された、活性層をp型クラッド層とn型クラッド層とで挟んだダブルヘテロ構造からなるメサと、前記メサの両側を埋め込むように成長させたp型埋め込み層とn型電流ブロック層とp型電流ブロック層とからなる電流ブロック層とを備えた埋め込みヘテロ構造半導体レーザにおいて、前記電流ブロック層の内部であって、前記メサの前記n型クラッド層の両側の位置に電子密度の低下した領域を有することを特徴とする埋め込みヘテロ構造半導体レーザ。

【請求項2】 請求項1に記載の埋め込みヘテロ構造半導体レーザにおいて、前記電子密度の低下した領域の内、少なくとも前記n型クラッド層に最も近い部分に、p型反転領域をもつことを特徴とする埋め込みヘテロ構造半導体レーザ。

【請求項3】 p型半導体基板を用意し、該p型半導体基板上に、p型クラッド層と活性層とn型クラッド層と、p型混晶層を順次積層し、該p型混晶層上にストライプ状の誘電体膜を形成し、該誘電体膜をマスクとしてエッチングを行ってメサを形成し、該メサの両側に前記誘電体膜をマスクとしてp型埋め込み層とn型電流ブロック層とp型電流ブロック層とを順次埋め込み成長して電流ブロック層を形成し、該電流ブロック層を形成している間に、前記p型混晶層からp型不純物が該電流ブロック層中に拡散されて前記メサの前記n型クラッド層の両側の位置に電子密度の低下した領域が形成され、該電流ブロック層形成後、選択エッチングにより前記誘電体膜及び前記p型混晶層を除去することを特徴とする埋め込みヘテロ構造半導体レーザの製造方法。

【請求項4】 p型半導体基板を用意し、該p型半導体基板上に、選択成長の特徴を利用して、p型クラッド層と活性層とn型クラッド層と、p型混晶層を順次積層してメサを形成し、セルフアラインプロセスにより該p型混晶層上にのみストライプ状の誘電体膜を形成し、該メサの両側に前記誘電体膜をマスクとしてp型埋め込み層とn型電流ブロック層とp型電流ブロック層とを順次埋め込み成長して電流ブロック層を形成し、該電流ブロック層を形成している間に、前記p型混晶層からp型不純物が該電流ブロック層中に拡散されて前記メサの前記n型クラッド層の両側の位置に電子密度の低下した領域が形成され、該電流ブロック層形成後、選択エッチングにより前記誘電体膜及び前記p型混晶層を除去することを特徴とする埋め込みヘテロ構造半導体レーザの製造方法。

【請求項5】 p型半導体基板を用意し、該p型半導体基板上に、p型クラッド層と活性層とn型

クラッド層と、ノンドープの混晶層と、p型混晶層を順次積層し、

該p型混晶層上にストライプ状の誘電体膜を形成し、該誘電体膜をマスクとしてエッチングを行ってメサを形成し、

該メサの両側に前記誘電体膜をマスクとしてp型埋め込み層とn型電流ブロック層とp型電流ブロック層とを順次埋め込み成長して電流ブロック層を形成し、該電流ブロック層を形成している間に、前記p型混晶層からp型不純物が該電流ブロック層中に拡散されて前記メサの前記n型クラッド層の両側の位置に電子密度の低下した領域が形成され、

該電流ブロック層形成後、選択エッチングにより前記誘電体膜、前記p型混晶層及びノンドープの混晶層を除去することを特徴とする埋め込みヘテロ構造半導体レーザの製造方法。

【請求項6】 p型半導体基板を用意し、該p型半導体基板上に、選択成長の特徴を利用して、p型クラッド層と活性層とn型クラッド層と、ノンドープの混晶層と、p型混晶層を順次積層してメサを形成し、セルフアラインプロセスにより該p型混晶層上にのみストライプ状の誘電体膜を形成し、

該メサの両側に前記誘電体膜をマスクとしてp型埋め込み層とn型電流ブロック層とp型電流ブロック層とを順次埋め込み成長して電流ブロック層を形成し、該電流ブロック層を形成している間に、前記p型混晶層からp型不純物が該電流ブロック層中に拡散されて前記メサの前記n型クラッド層の両側の位置に電子密度の低下した領域が形成され、

該電流ブロック層形成後、選択エッチングにより前記誘電体膜、前記p型混晶層及びノンドープの混晶層を除去することを特徴とする埋め込みヘテロ構造半導体レーザの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光通信システムの主構成要素となる半導体レーザに関し、特に埋め込みヘテロ構造半導体レーザに関する。

【0002】

【従来の技術】埋め込みヘテロ構造半導体レーザは、活性層をクラッド層で挟んだメサと、そのメサの両側を埋め込むように成長させた電流ブロック層とを備えたものであり、一般的には、図5に示されるような構造（以下、従来例1）をしている。

【0003】即ち、p型InP基板1上に、p型InPクラッド層2とInGaAsP活性層3とn型InPクラッド層4が順次積層されてなるメサと、メサの両側を埋め込むように成長させたp型InP埋め込み層5とn型InP電流ブロック層6とp型InP電流ブロック層7とからなる電流ブロック層と、メサと電流ブロック層

の上に全体を覆うように形成されたn型InPクラッド層8とコンタクト層9とから構成されている。

【0004】また、従来例1の構造の埋め込みヘテロ構造半導体レーザは、図6に示されるような手順で作製される。

【0005】図6を参照すると、まず、p型InP基板1上に、p型InPクラッド層2、InGaAsP活性層3、n型InPクラッド層4を順にMOCVD法により成長する。その後、熱CVD法などによりSiO₂膜10等の誘電体膜を形成し、フォトリソグラフィとエッチングを用いて図6(a)に示されるようなストライプ状にする。

【0006】次に、このストライプ状にエッチングされた誘電体膜であるSiO₂膜10をマスクとして半導体をエッチングし、図6(b)に示されるようなメサを形成する。

【0007】更に、図6(c)に示すように、そのままSiO₂膜10をマスクとして用いて、p型InP埋め込み層5、n型InP電流ブロック層6、p型InP電流ブロック層7を成長する。

【0008】その後、SiO₂膜10を除去し、n型InPクラッド層8及びコンタクト層9を成長する(図6(d))。

【0009】次に、このようにして作製された埋め込みヘテロ構造半導体レーザの電流狭窄効果について説明する。

【0010】図5に示されるような構造において、p型InP基板1側が+になるように電圧を印加すると、InGaAsP活性層3のあるメサの部分にはpn接合に順方向電圧が加わり電流が流れるが、メサの外側の領域では層構造がpnpnとなり、逆バイアス接合ができるため、電流はほとんど流れない。このため電流はInGaAsP活性層3に集中して流れ、発光再結合に寄与することになる。

【0011】しかしながら、従来例1の埋め込みヘテロ構造半導体レーザにおいて、n型InPクラッド層4とn型InP電流ブロック層6は、一応p型InP埋め込み層5で分離されているが、電子の移動度が大きいいため、両層の分離が十分でない場合、図7に示すようにn型InPクラッド層6へのリーク電流が大きくなる。

【0012】したがって、InPクラッド層4とn型InP電流ブロック層6を分離するメサ側面のp型InP埋め込み層5が十分な厚さとドーピング密度を有する必要があるが、メサ側面へのp型InP埋め込み層5の成長は制御が難しく、再現性良く十分な厚さを得ることは非常に困難である。

【0013】また、p型ドーバントとして用いられるZnは、メサとなる(111)B面、(211)B面などの傾斜面への取り込み率が平坦面に比べて低いのに対し、n型ドーバントに用いられるSiやSは、Znとは

逆に傾斜面への取り込み率が平坦面に比べて高い(R. Bhatら、Journal of Crystal Growth 107(1991)p772に記載)。

【0014】したがって、平坦面でのp、nそれぞれのドーピング密度を最適化すると、メサ部分ではp型ドーバントが少なくn型ドーバントが多くなるので、上述したような電流のリークが起こり易い。

【0015】このようなリーク電流が起こると、レーザの効率が低下し、特に高温環境下での動作、及び高出力時における影響が大きくなる。

【0016】このような従来例1の問題点を解決するためのものとして、特開平5-129723号に開示されているもの(以下、従来例2)が挙げられる。

【0017】従来例2は、図8に示されているような構造をしている。即ち、p型InP基板1上に、InGaAsP活性層3をp型InPクラッド層2とn型InPクラッド層4とで挟み、且つn型InPクラッド層4の両側面にp型反転領域11を有したメサと、メサの両側を埋め込むようにして成長させたp型InP埋め込み層5とn型InP電流ブロック層6とp型InP電流ブロック層7とからなる電流ブロック層と、メサと電流ブロック層の上に全体を覆うように形成されたn型InPクラッド層8とコンタクト層9とから構成されている。

【0018】また、従来例2の埋め込みヘテロ構造半導体レーザは、図9に示されるような手順で作製される。

【0019】図9を参照すると、まずp型InP基板1上に、p型InPクラッド層2、InGaAsP活性層3、n型InPクラッド層4を順にMOCVD法により成長する。その後、熱CVD法などによりSiO₂膜10等の誘電体膜を形成し、フォトリソグラフィとエッチングを用いて図9(a)に示されるようなストライプ状にする。

【0020】次に、このストライプ状にエッチングされた誘電体膜であるSiO₂膜10を選択マスクとしてZnを拡散する。Znの拡散は深さ方向のみでなく、マスクの下の方へも進んでいるため、Znが拡散されたp型反転領域11は図9(b)に示されるようになる。

【0021】次にSiO₂膜10をマスクとしてエッチングを行い、図9(c)に示されるようなメサを形成し、その後、従来例1と同様に電流ブロック層を形成し(図9(d))、SiO₂膜10を除去した後、n型InPクラッド層8及びコンタクト層9を成長する(図9(e))。

【0022】このようにして作製された埋め込みヘテロ構造半導体レーザにおいては、n型InPクラッド層4とn型InP電流ブロック層6は、必ずp型反転領域11を介していることになる。

【0023】したがって、従来例2の埋め込みヘテロ構造半導体レーザは、n型InP電流ブロック層6からInPクラッド層4へリークする電流を防ぐことができ

10

20

30

40

50

る。

【0024】

【発明が解決しようとする課題】しかしながら、従来例2の埋め込みヘテロ構造半導体レーザは、以下に示すような3つの問題点がある。即ち、

①通常の成長及びレーザプロセスとは別にZn拡散工程が必要となること。

【0025】②n型InPクラッド層4の上中央部及びInGaAsP活性層3へもZnが拡散すること、及びその拡散を防ぐ方法は記述されていないこと。

【0026】③選択成長技術を用いた半導体エッチングレスレーザプロセスには使用できないこと。

【0027】これらの問題点を従来例1及び図10を参照し、以下に更に詳細に説明する。

【0028】①について

上述したように従来例2は、その製造工程において、誘電体膜(SiO₂、膜10)のストライプを形成した後、チャンバー中にて試料にZn拡散をする工程が必要となる。このZnを拡散する工程は、誘電体膜のストライプを形成する工程とは別の工程であり、また、上述した従来例1の製造工程を参照しても理解できるように、通常のレーザプロセスにはない工程である。

【0029】即ち、従来例2のようなZnを拡散する工程を行おうとすると、通常のレーザプロセスにはない工程を追加することになるため、全体としてコストの増加を招くことになる。

【0030】②について

従来例2は、その製造方法において、横方向へのZn拡散により、図9(c)に示されるようなp型反転領域を形成するとしているが、実際には図10に示されているように、n型InPクラッド層4の上中央部及びInGaAsP活性層3へもある程度のZnが拡散する。

【0031】また、メサ側面に十分なZnを拡散しようとすれば、上述のn型InPクラッド層4の上中央部及びInGaAsP活性層3へのZnの拡散も無視できない量になる。

【0032】ここで、n型InPクラッド層4の上中央部へのZnの拡散は、電子注入効果の低下及び抵抗の増加を招くことになり、また、InGaAsP活性層3へのZnの拡散は発光効率の低下を招くことになる。

【0033】更に、従来例2には、n型InPクラッド層4の上中央部及びInGaAsP活性層3へのZnの拡散を防ぐ方法については、何等記載されていない。

【0034】③について

まず、選択成長技術を用いた半導体エッチングレスプロセスについて、簡単に説明する。

【0035】この半導体エッチングレスプロセスとは、まず、選択成長の特徴を利用して、活性層を含むメサ形状(導波路構造)を形成し、次にセルフアラインプロセスによりメサ上部のみに誘電体膜を形成し、その後、電

流ブロック層を埋め込み成長し、更に、誘電体膜を除去してメサ上部及び電流ブロック層上部を覆うようにクラッド層及びコンタクト層を成長するものである(10th IIOC FB2-3 1995, Y. Sakata, et c.)。

【0036】ここで、従来例2の製造工程は、上述したように、エッチングによるメサ形成の前にZn拡散をすることが必要である。

【0037】したがって、従来例2の製造方法は、活性層成長時にメサが自動的に形成される選択成長には適応することができない。

【0038】また、例えばメサ形状の試料にZn拡散を行うと、活性層に対してもZnが容易に拡散してしまうことは明らかであり、これは、即ち上記②に挙げた問題点と同じ状態を引き起こしてしまうことになる。

【0039】本発明の目的は、以上の問題を解決すべく、n型クラッド層とn型電流ブロック層とが十分に分離され、且つ、p型反転層が活性層及びn型クラッド層を浸食していない埋め込みヘテロ構造半導体レーザを提供することにある。

【0040】また、本発明の他の目的は、通常のレーザプロセスに大きな変更を加えることなく、前記埋め込みヘテロ構造半導体レーザを製造する製造方法を提供することにある。

【0041】

【課題を解決するための手段】本発明は、上記の課題を解決するために以下に示す手段を提供する。

【0042】即ち、本発明によれば、p型半導体基板上に形成された、活性層をp型クラッド層とn型クラッド層とで挟んだダブルヘテロ構造からなるメサと、前記メサの両側を埋め込むように成長させたp型埋め込み層とn型電流ブロック層とp型電流ブロック層とからなる電流ブロック層とを備えた埋め込みヘテロ構造半導体レーザにおいて、前記電流ブロック層の内部であって、前記メサの前記n型クラッド層の両側の位置に電子密度の低下した領域を有することを特徴とする埋め込みヘテロ構造半導体レーザが得られる。

【0043】更に、本発明によれば、前記埋め込みヘテロ構造半導体レーザにおいて、前記電子密度の低下した領域の内、少なくとも前記n型クラッド層に最も近い部分に、p型反転領域をもつことを特徴とする埋め込みヘテロ構造半導体レーザが得られる。

【0044】また、本発明によれば、p型半導体基板を用意し、該p型半導体基板上に、p型クラッド層と活性層とn型クラッド層と、p型混晶層を順次積層し、該p型混晶層上にストライプ状の誘電体膜を形成し、該誘電体膜をマスクとしてエッチングを行ってメサを形成し、該メサの両側に前記誘電体膜をマスクとしてp型埋め込み層とn型電流ブロック層とp型電流ブロック層とを順次埋め込み成長して電流ブロック層を形成し、該電流ブ

ロック層を形成している間に、前記p型混晶層からp型不純物が該電流ブロック層中に拡散されて前記メサの前記n型クラッド層の両側の位置に電子密度の低下した領域が形成され、該電流ブロック層形成後、選択エッチングにより前記誘電体膜及び前記p型混晶層を除去することを特徴とする埋め込みヘテロ構造半導体レーザの製造方法が得られる。

【0045】また、本発明によれば、p型半導体基板を用意し、該p型半導体基板上に、選択成長の特徴を利用して、p型クラッド層と活性層とn型クラッド層と、p型混晶層を順次積層してメサを形成し、セルフアラインプロセスにより該p型混晶層上にのみストライプ状の誘電体膜を形成し、該メサの両側に前記誘電体膜をマスクとしてp型埋め込み層とn型電流ブロック層とp型電流ブロック層とを順次埋め込み成長して電流ブロック層を形成し、該電流ブロック層を形成している間に、前記p型混晶層からp型不純物が該電流ブロック層中に拡散されて前記メサの前記n型クラッド層の両側の位置に電子密度の低下した領域が形成され、該電流ブロック層形成後、選択エッチングにより前記誘電体膜及び前記p型混晶層を除去することを特徴とする埋め込みヘテロ構造半導体レーザの製造方法が得られる。

【0046】また、本発明によれば、p型半導体基板を用意し、該p型半導体基板上に、p型クラッド層と活性層とn型クラッド層と、ノンドープの混晶層と、p型混晶層を順次積層し、該p型混晶層上にストライプ状の誘電体膜を形成し、該誘電体膜をマスクとしてエッチングを行ってメサを形成し、該メサの両側に前記誘電体膜をマスクとしてp型埋め込み層とn型電流ブロック層とp型電流ブロック層とを順次埋め込み成長して電流ブロック層を形成し、該電流ブロック層を形成している間に、前記p型混晶層からp型不純物が該電流ブロック層中に拡散されて前記メサの前記n型クラッド層の両側の位置に電子密度の低下した領域が形成され、該電流ブロック層形成後、選択エッチングにより前記誘電体膜、前記p型混晶層及びノンドープの混晶層を除去することを特徴とする埋め込みヘテロ構造半導体レーザの製造方法が得られる。

【0047】更に、本発明によれば、p型半導体基板を用意し、該p型半導体基板上に、選択成長の特徴を利用して、p型クラッド層と活性層とn型クラッド層と、ノンドープの混晶層と、p型混晶層を順次積層してメサを形成し、セルフアラインプロセスにより該p型混晶層上にのみストライプ状の誘電体膜を形成し、該メサの両側に前記誘電体膜をマスクとしてp型埋め込み層とn型電流ブロック層とp型電流ブロック層とを順次埋め込み成長して電流ブロック層を形成し、該電流ブロック層を形成している間に、前記p型混晶層からp型不純物が該電流ブロック層中に拡散されて前記メサの前記n型クラッド層の両側の位置に電子密度の低下した領域が形成さ

れ、該電流ブロック層形成後、選択エッチングにより前記誘電体膜、前記p型混晶層及びノンドープの混晶層を除去することを特徴とする埋め込みヘテロ構造半導体レーザの製造方法が得られる。

【0048】

【発明の実施の形態】以下に、本発明の実施の形態を図1乃至図5を用いて説明する。

【0049】（第1の実施の形態）まず、本発明の第1の実施の形態として、InP基板上のInGaAsP系長波長レーザを例にとり、本発明の埋め込みヘテロ構造半導体レーザの構造について説明する。

【0050】本発明の第1の実施の形態の埋め込みヘテロ構造半導体レーザは、図1に示されるような構造をしている。

【0051】即ち、p型InP基板1上に、p型InPクラッド層2とInGaAsP活性層3とn型InPクラッド層4が順次積層されてなるメサと、そのメサの両側面を埋め込むように成長させたp型InP埋め込み層5とn型InP電流ブロック層6とp型InP電流ブロック層7とからなる電流ブロック層と、メサと電流ブロック層の上に全体を覆うように形成されたn型InPクラッド層8とコンタクト層9とから構成されている。

【0052】更に、電流ブロック層内部であって、メサのn型InPクラッド層4と電流ブロック層のn型InP電流ブロック層6とを分離する位置にp型反転領域11を有している。

【0053】従って、n型InP電流ブロック層6からn型InPクラッド層4へ流れるリーク電流はなく、所望の電流狭窄効果を得ることができる。

【0054】また、p型反転領域11は、n型InPクラッド層4及びInGaAsP活性層3に対しても分離されているため、従来例2に見られるような、電子注入効果の低下、及び抵抗の増加、並びに発光効率の低下を防ぐことができる。

【0055】さらに、以上説明してきたp型反転領域11は、n型InP電流ブロック層6の最もn型InPクラッド層4に近い部分において、電子密度の低下したものに置き換えても同様の効果が得られる。

【0056】（第2の実施の形態）本発明の第2の実施の形態は、第1の実施の形態にて示した構造を有する埋め込みヘテロ構造半導体レーザの製造方法に関するものである。

【0057】以下に、図2及び図3を用いて、本発明の第2の実施の形態を詳細に説明する。

【0058】まず、p型InP基板1上に、p型InPクラッド層2、InGaAsP活性層3、n型InPクラッド層4を順次成長し、更に、Zn拡散のための混晶層としてp型InGaAs層12を成長する。その後、ストライプ状のSiO₂膜10を形成する（図2

(a)）。

【0059】続いて、そのSiO₂膜10をマスクとしてエッチングを行い、図2(b)に示されるようなメサを形成する。

【0060】その後、SiO₂膜10をマスクとして、メサの両側に、p型InP埋め込み層5、n型InP電流ブロック層6、p型InP電流ブロック層7を埋め込み成長させ、図2(c)に示されるような、電流ブロック層を形成する。

【0061】電流ブロックの形成後、SiO₂膜10を除去し、その後、InPに対してInGaAsPをエッチングしやすいような選択エッチャントを用いてエッチングすることにより図2(d)に示されるように、p型InP電流ブロック層7及びp型クラッド層4をエッチングすることなくInGaAsP層12のみを除去することができる。

【0062】p型InGaAsP層12の除去後、p型InP電流ブロック層7及びp型クラッド層4を覆うように、n型InPクラッド層8を成長し、その後、n型InPクラッド層8上にコンタクト層9を成長する(図2(e))。

【0063】ここで、p型InGaAsのドーピング密度は、p型InPに比べ非常に高くできる。

【0064】また、p型InGaAs層12へのドーピングは平坦部へのドーピングとなるため、傾斜面への成長となるp型InP埋め込み層5及びp型InP電流ブロック層7に比べ、p型ドーパントであるZnの取り込み効率が低い。

【0065】従って、p型InGaAs層12のドーピング密度をp型InP埋め込み層5及びp型InP電流ブロック層7に比べて十分高くしておけば、図3に示すように、電流ブロック層の埋め込み成長時にp型ドーパントであるZnがp型InGaAs層12から、メサ付近のp型InP埋め込み層5及びp型InP電流ブロック層7のドーピング密度が高くなり、また、n型InP電流ブロック層6の一部において、電子密度の低下、あるいはp型への反転が起きる。

【0066】この結果、n型InPクラッド層4とn型InP電流ブロック層6との分離が促進され、両層を介するリーク電流が減少することになる。

【0067】以上説明してきたように、本実施の形態において、Zn拡散のためのp型InGaAs層12は、p型InP基板1上に、p型InPクラッド層2、InGaAsP活性層3、n型InPクラッド層4を成長する成長時に同時に成長できるため、僅かな成長プログラムの変更のみで対応することができる。

【0068】また、Znの拡散は、電流ブロック層成長時に自動的になされる。

【0069】更に、p型InGaAs層12は、SiO₂膜10の除去の際に、適当なエッチャントを用いることにより同時に除去される。例えば、本実施の形態の場合

(InGaAsP系レーザ)、SiO₂膜10の除去時にH₂SO₄系エッチャントで表面処理を行うことが多いのであるが、このエッチャントはp型InGaAs層12に対する選択エッチャントでもあるため、表面処理と同時にp型InGaAs層12の除去を行うことができる。

【0070】尚、本実施の形態においては、各半導体層を積層後に誘電体膜をマスクとしてエッチングをしてメサを形成する方法について説明してきたが、メサ形成までの工程を半導体エッチングプロセスにより行って、その後は、上述した第2の実施の形態と同様に行っても良い。

【0071】即ち、まず、選択成長の特徴を利用して、p型InP基板1上に、p型InPクラッド層2、InGaAsP活性層3、n型InPクラッド層4、Zn拡散のための混晶層としてのp型InGaAs層12からなるメサ形状を形成する。

【0072】次に、セルフアラインプロセスによりメサ上部にのみ誘電体膜(SiO₂膜10)を形成する(図2(b))。

【0073】その後、SiO₂膜10をマスクとして、メサの両側に、p型InP埋め込み層5、n型InP電流ブロック層6、p型InP電流ブロック層7を埋め込み成長させて、図2(c)に示されるような、電流ブロック層を形成する。

【0074】電流ブロックの形成後、SiO₂膜10を除去する。その後、InPに対してInGaAsPをエッチングしやすいような選択エッチャントを用いてエッチングすることにより、p型InP電流ブロック層7及びp型クラッド層4をエッチングすることなくInGaAsP層12のみを除去することができる(図2(d))。

【0075】p型InGaAsP層12の除去後、p型InP電流ブロック層7及びp型クラッド層4を覆うように、n型InPクラッド層8を成長し、その後、n型InPクラッド層8上にコンタクト層9を成長する(図2(e))。

【0076】このように、本実施の形態によれば、従来例2において問題とされたような特別な工程を必要とせずに、p型InPクラッド層4とp型InP電流ブロック層6とを分離した埋め込みヘテロ構造半導体レーザを製造することができる。

【0077】また、本実施の形態の埋め込みヘテロ構造半導体レーザの製造方法は、半導体エッチングプロセスに対しても応用することができる。

【0078】(第3の実施の形態) 第3の実施の形態も、第1の実施の形態にて示した構造を有する埋め込みヘテロ構造半導体レーザの製造方法に関するものである。

【0079】以下に、図4を用いて、本発明の第3の実

施の形態を詳細に説明する。

【0080】まず、p型InP基板1上に、p型InPクラッド層2、InGaAsP活性層3、n型InPクラッド層4を順次成長し、更に、Zn拡散防止のための混晶層としてのノンドープのInGaAs層13及びZn拡散のための混晶層としてのp型InGaAs層12を成長する。その後、ストライプ状のSiO₂膜10を形成する(図4)。

【0081】その後のプロセスは、ノンドープのInGaAs層13が存在するという点を除いて、第2の実施の形態と同様であるため、第2の実施の形態の説明において使用した図2を用いて説明する。

【0082】但し、図2(b)及び図2(c)において、n型InPクラッド層4の上にp型InGaAs層12が設けられているが、本実施の形態においては、n型InPクラッド層4とp型InGaAs層12の間に、更にノンドープのInGaAs層13が設けられているものとして用いることを予めことわっておく(後述する半導体エッチングプロセスにおいても同じ)。

【0083】即ち、まず、そのSiO₂膜10をマスクとしてエッチングを行いメサを形成する(図2(b))。

【0084】その後、SiO₂膜10をマスクとして、メサの両側に、p型InP埋め込み層5、n型InP電流ブロック層6、p型InP電流ブロック層7を埋め込み成長させて、図2(c)に示されるような、電流ブロック層を形成する。

【0085】電流ブロックの形成後、SiO₂膜10を除去し、その後、InPに対してInGaAsPをエッチングしやすいような選択エッチャントを用いることにより、p型InP電流ブロック層7及びp型クラッド層4をエッチングすることなくp型InGaAsP層12及びノンドープのInGaAsP層13のみを除去することができる(図2(d))。

【0086】p型InGaAsP層12及びノンドープのInGaAsP層13の除去後、p型InP電流ブロック層7及びp型クラッド層4を覆うように、n型InPクラッド層8を成長し、その後、n型InPクラッド層8上にコンタクト層9を成長する(図2(e))。

【0087】ここで、第3の実施の形態では電流ブロック層の埋め込み成長時にp型InGaAs層12から電流ブロック層へZnが拡散し、第2の実施の形態と同様の効果を得ることができる。

【0088】更に、第3の実施の形態では、ノンドープのInGaAs層13中でのZnの拡散速度が各InP層中に比べて非常に低いためにp型InGaAs層12からn型InPクラッド層4へのZnの拡散を防ぐことができる。

【0089】以上説明してしたように、第3の実施の形態においては、ノンドープのInGaAs層13のよう

な拡散防止層を設けることにより、従来例2の問題点であったn型InPクラッド層4及びInGaAsP活性層3へのZnの拡散を防ぐことができる。

【0090】また、本実施の形態についても、第2の実施の形態と同様に半導体エッチングプロセスに適用することができる。

【0091】即ち、まず、選択成長の特徴を利用して、p型InP基板1上に、p型InPクラッド層2、InGaAsP活性層3、n型InPクラッド層4、Zn拡散防止のための混晶層としてのノンドープのInGaAs層13及びZn拡散のための混晶層としてのp型InGaAs層12からなるメサ形状を形成する。

【0092】次に、セルフアラインプロセスによりメサ上部にのみ誘電体膜(SiO₂膜10)を形成する(図2(b))。

【0093】その後、SiO₂膜10をマスクとして、メサの両側に、p型InP埋め込み層5、n型InP電流ブロック層6、p型InP電流ブロック層7を埋め込み成長させて、図2(c)に示されるような、電流ブロック層を形成する。

【0094】電流ブロックの形成後、SiO₂膜10を除去し、その後、InPに対してInGaAsPをエッチングしやすいような選択エッチャントを用いてエッチングすることにより、p型InP電流ブロック層7及びp型クラッド層4をエッチングすることなくp型InGaAsP層12及びノンドープのInGaAs層13のみを除去することができる(図2(d))。

【0095】p型InGaAsP層12及びノンドープのInGaAs層13の除去後、p型InP電流ブロック層7及びp型クラッド層4を覆うように、n型InPクラッド層8を成長し、その後、n型InPクラッド層8上にコンタクト層9を成長する(図2(e))。

【0096】尚、上述してきた第1乃至第3の実施の形態においては、p型InP基板上のInGaAsP系半導体レーザについて、説明してきたが、他の材料系の埋め込みヘテロ構造半導体レーザにも適用が可能であり、本実施の形態に制限されるものではない。

【0097】また、第2及び第3の実施の形態においては、Zn拡散のための混晶層及びZn拡散防止のための混晶層としてInGaAsを用いた例について示したが、例えば第2及び第3の実施の形態の場合、InGaAsPなどを用いても良く、本実施の形態に制限されるものではない。尚、他の材料系の埋め込みヘテロ構造半導体レーザを製造する場合は、その半導体レーザに適した混晶層であれば良いことはいうまでもないことである。

【0098】

【発明の効果】以上説明してきたように、本発明によれば、n型クラッド層とn型電流ブロック層とがp型反転層を介していることにより電氣的に十分に分離され、且

つ、p型反転層が活性層及びn型クラッド層を浸食していない埋め込みヘテロ構造半導体レーザを得ることができる。

【0099】また、本発明によれば、通常のレーザプロセスに大きな変更を加えることなく、前記埋め込みヘテロ構造半導体レーザを製造する製造方法を得ることができる。

【0100】更に、本発明によれば、半導体エッチングプロセスにより前記埋め込みヘテロ構造半導体レーザを製造する製造方法を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の埋め込みヘテロ構造半導体レーザの活性層付近の構造を示す概略断面図である。

【図2】本発明の第2の実施の形態の埋め込みヘテロ構造半導体レーザの製造方法を示す概略断面図である。

【図3】本発明の第2の実施の形態の埋め込みヘテロ構造半導体レーザの製造方法において、電流ブロック層形成時のp型混晶層の作用を示す概略断面図である。

【図4】本発明の第3の実施の形態の埋め込みヘテロ構造半導体レーザの製造方法の特徴となる一工程を示す概略断面図である。

【図5】従来例1の埋め込みヘテロ構造半導体レーザの活性層付近の構造を示す概略断面図である。

【図6】従来例1の埋め込みヘテロ構造半導体レーザの*

*製造方法を示す概略断面図である。

【図7】従来例1の埋め込みヘテロ構造半導体レーザの問題点を示す概略断面図である。

【図8】従来例2の埋め込みヘテロ構造半導体レーザの活性層付近の構造を示す概略断面図である。

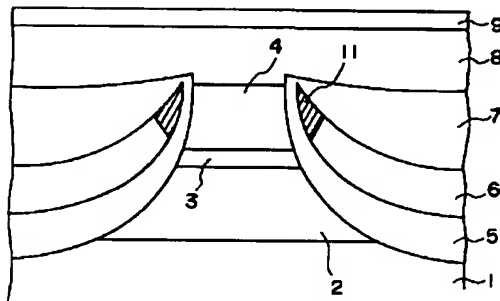
【図9】従来例2の埋め込みヘテロ構造半導体レーザの製造方法を示す概略断面図である。

【図10】従来例2の埋め込みヘテロ構造半導体レーザの問題点を示す概略断面図である。

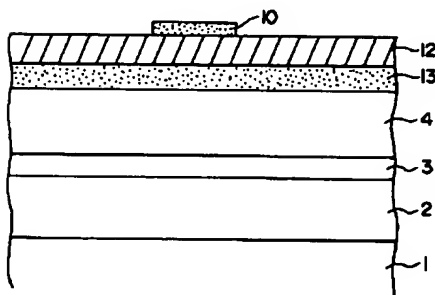
10 【符号の説明】

- | | |
|----|--------------------|
| 1 | p型InP基板 |
| 2 | p型InPクラッド層 |
| 3 | InGaAsP活性層 |
| 4 | n型InPクラッド層 |
| 5 | p型InP埋め込み層 |
| 6 | n型InP電流ブロック層 |
| 7 | p型InP電流ブロック層 |
| 8 | n型InPクラッド層 |
| 9 | コンタクト層 |
| 10 | SiO ₂ 膜 |
| 11 | p型反転層 |
| 12 | p型InGaAs層 |
| 13 | ノンドープのInGaAs層 |
| 14 | 電子リーク経路 |

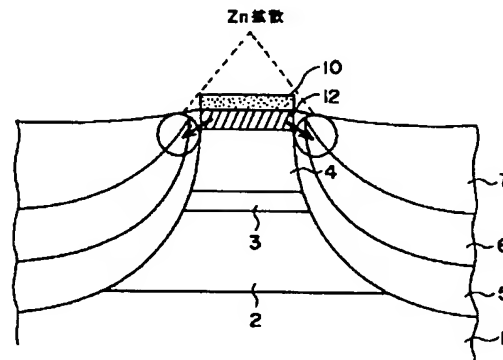
【図1】



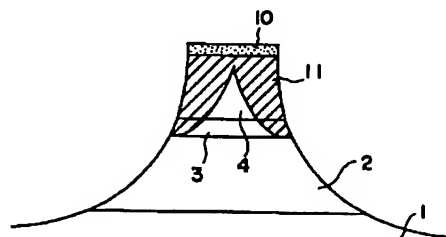
【図4】



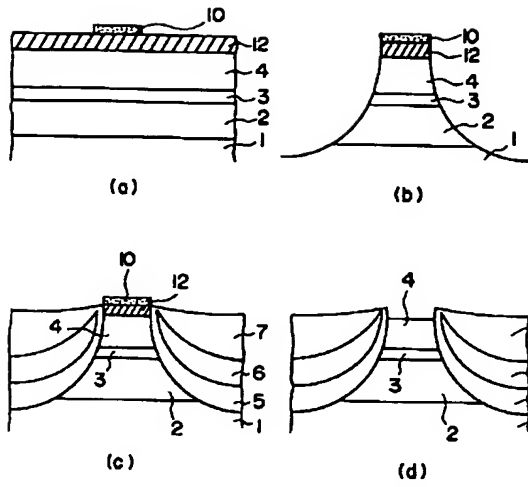
【図3】



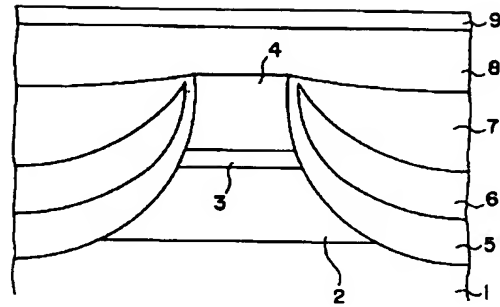
【図10】



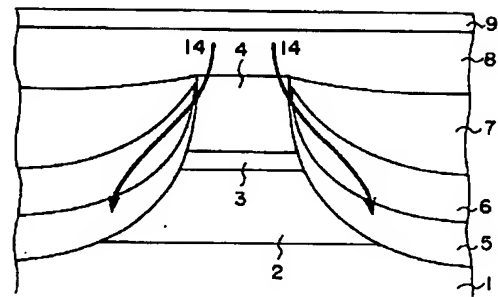
【図2】



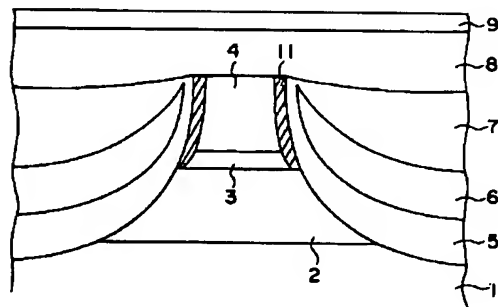
【図5】



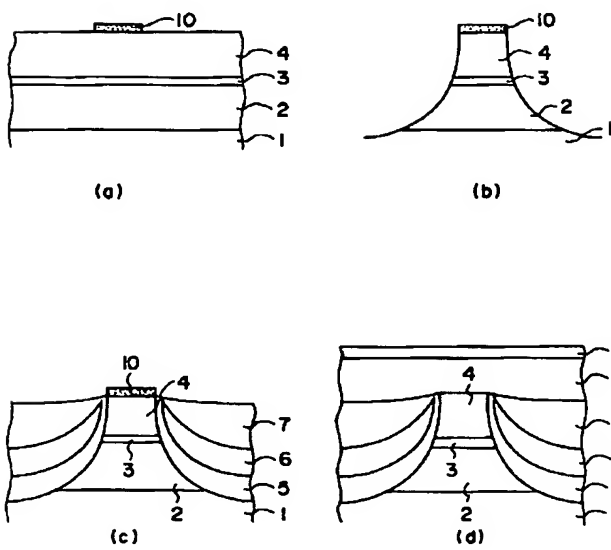
【図7】



【図8】



【図6】



【図9】

